

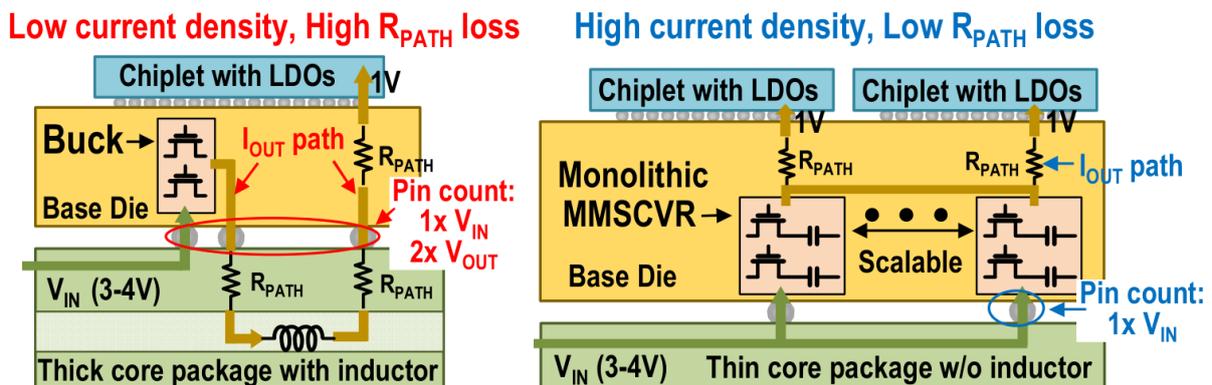
2024 IEEE VLSI Review

고려대학교 반도체시스템공학과 박사과정 김현진

Session 17 Power Management Techniques

이번 2024 IEEE VLSI의 Session 17은 Power Management Techniques라는 주제로 총 5편의 논문이 발표되었다. 이 세션에서는 switched capacitor voltage regulator, wireless power converter, low dropout regulator 등 다양한 구조의 power converter들이 소개되었고, 주로 각각의 converter들의 어플리케이션에서 겪고 있는 중요한 디자인 이슈들을 해결하는 방향으로 연구가 진행되었다. 특히, 올해는 이전 학회들에 비해서 integrated voltage regulator 논문들이 다수 발표되었고, 창의적인 DC-DC converter 구조 변화로 기존의 computing architecture들의 문제를 해결하려 했다는 점이 주목할 만하다.

#17-1 본 논문에서는 16 nm CMOS 공정의 scalable design을 기반으로 한 monolithic multi-stage modular switched capacitor voltage regulator (MMSCVR)를 제안한다. 제안된 MMSCVR 회로는 7A까지 출력되며, 이중 3D-IC 어플리케이션에서 수직 전력 전달 방식으로 동작하기 위해서 논문에서는 self-timed deadtime generator와 안전한 startup 동작 또한 제안하였다. MMSCVR 회로는 4:1 또는 3:1 전압 강하를 선택해서 동작할 수 있도록 모듈식으로 설계되었고, vertical scalable level shifter를 통해서 최적화된 게이트 드라이빙을 수행한다.

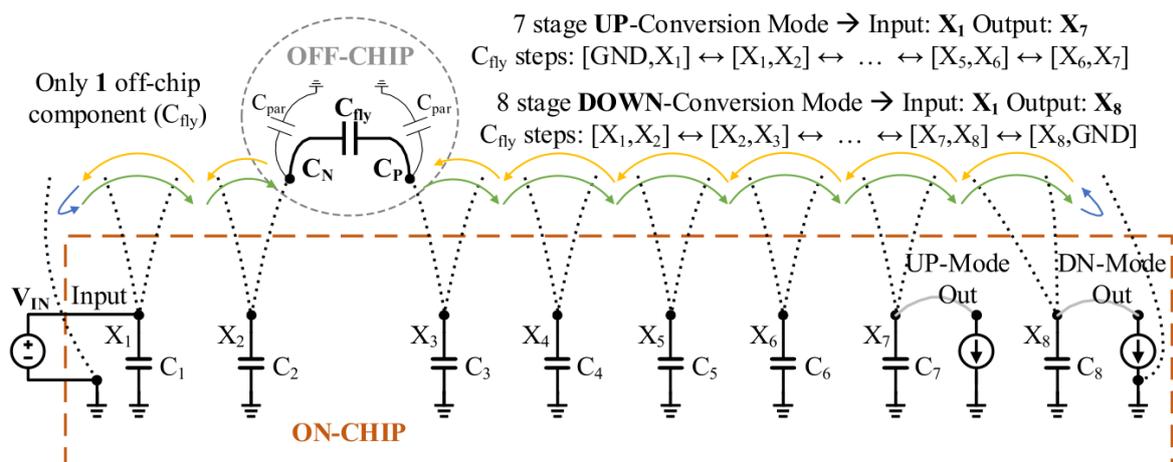


[그림 1] 본 논문에서는 기존의 base-die buck 변환기 대비 적은 pin count와 높은 current density, 낮은 dc 저항 손실을 발생시킨다.

본 논문에서 제안된 switched-capacitor 회로는 3:1 및 4:1의 전압 강하에도 90.6%와 87.3%의 높은 전력 전달 효율을 달성하였다. 하지만, 본 논문에서처럼 DC-DC converter

가 소수의 고정된 전압 강하 비율로 동작하게 된다면, 자유로운 dynamic voltage scaling 동작에서는 종래의 continuously-scalable한 switched-capacitor DC-DC 변환기들 대비 전력 전달 효율이 크게 감소하게 된다는 단점이 존재한다. 또한, 전체적인 시스템적인 분석 말고도 논문에서 소개된 변환기 회로 자체가 종래의 고정된 3:1 및 4:1 전압 강하 switched-capacitor DC-DC 변환기들 대비 어떠한 장점이 어느정도 있는지에 대한 정량적인 분석이 필요하다고 생각된다.

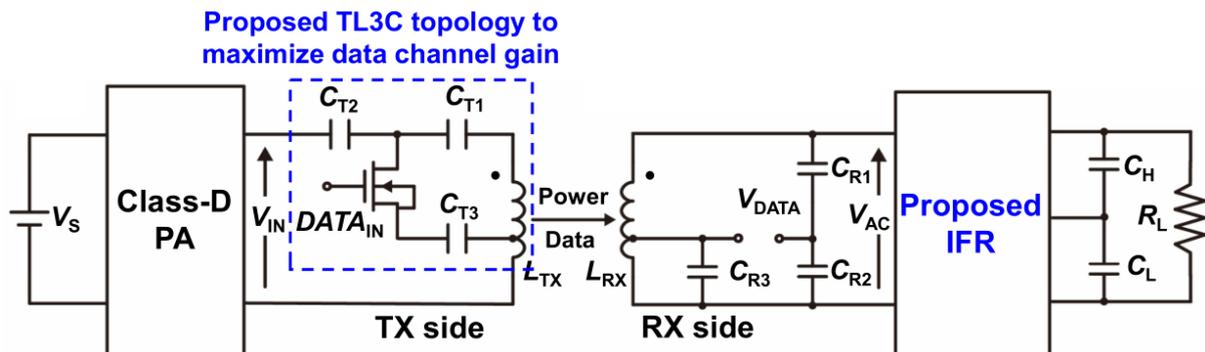
#17-2 본 논문에서는 μW 급 센서 어플리케이션을 위한 고전압 single-capacitor switched DC-DC up/down 변환기를 제안한다. 기존 고전압 승압용 Dickson charge-pump 구조는 변환기 stage가 많아지고 출력 전류량이 적을수록 전반적인 전력변환효율이 감소하므로, μW 출력 전력 수준으로 100V 이상의 전압을 생성할 때 1%의 전력전달효율 밖에 가질 수 없었다. 따라서, 제안된 회로는 기존 고전압 switched-capacitor들과 다르게 하나의 0.1 μF off-chip 커패시터를 사용하여, on-chip 커패시터들로 구성된 전압 사다리를 오르내리면서 전력을 효율적으로 전달한다.



[그림 2] 본 논문에서 제안된 switched-capacitor DC-DC 변환기 구조이다.

변환기는 [그림 2]와 같은 구조를 통해서 승압과 강압 변환을 진행하고, 승압 모드에서는 175 V 출력에서 62%의 효율을, 강압 모드에서는 184 V 입력에서 43%의 효율을 달성하였다. 특히, 논문에서는 승압 변환 효율 성능은 기존의 100V 이상의 출력전압과 nA 출력 부하를 가진 변환기들보다 16배 높다고 밝혔다. 논문에서 소개된 회로는 on-chip 커패시터들을 사용해서 off-chip의 parasitic capacitance로 인한 손실을 낮춘 새로운 구조이므로, on-chip 커패시턴스와 off-chip 커패시터의 parasitic capacitance 값의 비율에 따른 전력변환효율이 변화 분석이 필요하다고 생각된다.

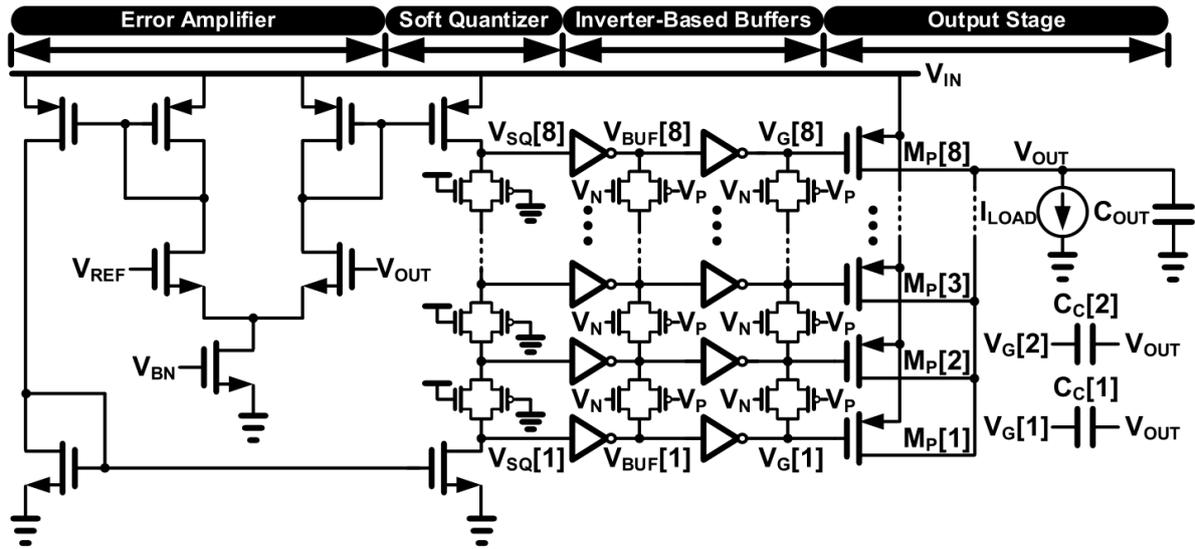
#17-3 본 논문에서는 bridge inverter의 기초적인 성분과 harmonic 성분을 이용하여 전력과 데이터를 각각 전송하는 무선 전력 및 데이터 전송 시스템을 제안하였다. 종래의 full bridge rectifier는 간섭 전압을 일으켜 data flipping 이슈를 초래할 수 있다. 따라서, 본 논문에서는 active 소자인 트랜지스터들을 사용하여, interference-free 정류기(IFR)를 구현하였고, 이러한 이슈를 해결하였다. 또한, 전력 채널 이득을 유지하면서, 데이터 채널 이득을 극대화하기 위해 TL3C 토폴로지를 제안하였다.



[그림 3] 본 논문에서 제안된 전체적인 WPDT 구조이다.

제안된 IFR은 5개의 phase로 동작하면서 interference voltage ratio를 -17.0 dB에서 -45.2 dB로 크게 낮췄다. 칩은 180 nm CMOS 공정으로 제작되었으며, 6.78 MHz로 동작하고, 82 mW의 부하 전력을 공급하면서 동시에 4.0 Mb/s의 속도로 데이터를 보낼 수 있었다. 하지만, 제안된 IFR 구조는 커패시터와 MOSFET 스위치들을 직렬연결하는 방식으로 다양한 phase를 생성하므로, 회로의 전체적인 전력 밀도 및 전력 전달 효율을 어느정도 감소시킬 수밖에 없다. 따라서, 논문에서처럼 passive full bridge rectifier와만 비교하기 보다는 최신 WPDT 구조와의 비교 분석도 필요하다고 생각된다. 또한, 실제 측정 파형에서는 V_{AC} 전압이 ringing하면서 논문의 이론적인 그림과 형태가 불일치하는 phase들이 있는데, 이에 대한 원인 설명 또한 필요하다고 생각된다.

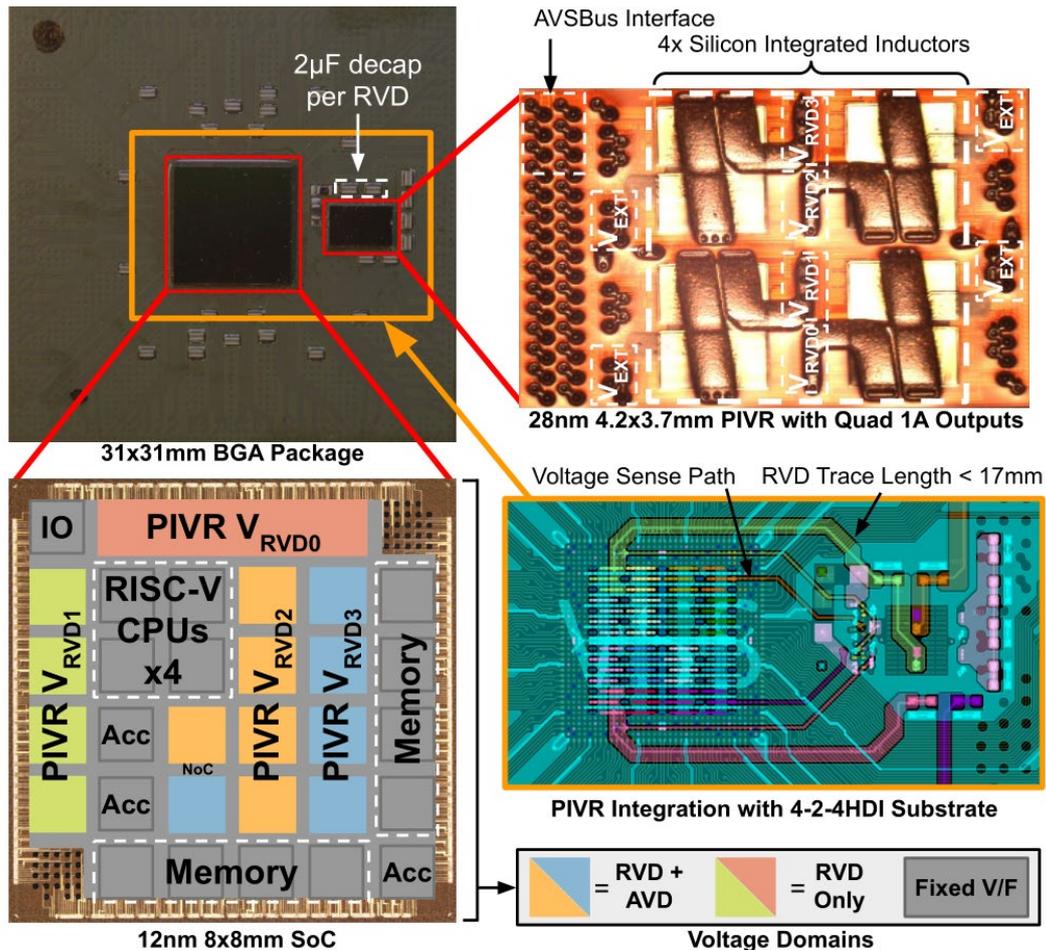
#17-4 본 논문에서는 soft-switching 동작을 통해서 아날로그 low dropout regulator (LDO)와 디지털 LDO의 장점을 결합한 새로운 구조의 LDO를 소개한다. 제안된 LDO는 아날로그 OTA의 출력을 transmission gate로 구성된 soft quantizer를 통해서 전압으로 변환하고, inverter 기반의 버퍼를 통해서 power transistor를 키거나 끄면서 출력을 regulation하게 설계하였다.



[그림 4] 본 논문에서 제안된 LDO 회로도조이다.

[그림 4]은 본 논문에서 제시된 LDO의 회로도를 보여준다. 논문에서 제시된 구조는 65 nm 공정을 사용하였고, 1 V 입력 전압에서 31.3 A/mm²의 전류 밀도, 0.6 V 입력 전압에서 99.99%의 전류 효율을 달성하였다. 하지만, 첫번째 stage는 종래의 error amplifier를 사용하므로 낮은 전압에서의 transient response 성능이 감소하는 구조이고, 어플리케이션 특성상 앞단의 inductive converter의 동작 주파수가 1 MHz 이상임에도 PSR이 1 MHz 이하에서 감소하는 추세를 보인다는 부분이 아쉽다고 생각된다. 또한, transmission gate의 저항 값과 error amplifier의 current 출력이 곱해지면서 전압을 생성하므로 PVT variation에 따른 성능 변화가 예상된다. 마지막으로 buffer들 사이에서 trip point variation이 발생할 때 생기는 동작 이슈나, steady-state condition에서 buffer들이 trip point에 멈춰 있는 상태로 short-through 전류가 발생하는 경우가 있을지에 대한 추가적인 설명이 필요하다. Digital 동작을 사용하여 analog LDO의 성능을 향상시킨 또다른 논문으로 ISSCC'20에 발표된 Ring-Amplifier-Based LDO 논문이 이미 있으므로, 해당 논문과의 성능 비교 또한 필요하다.

#17-5 본 논문에서는 패키지에 집적된 buck voltage regulator(PIVR)와 standard-cell 기반의 디지털 LDO를 통합한 새로운 dynamic-voltage-and-frequency-scaling (DVFS) 아키텍처를 소개하였다. 이 DVFS 아키텍처는 22코어 SoC 어플리케이션에서 개별 코어를 400 ns settling time의 속도로 제어하였다.



[그림 5] 본 논문에서 제안한 22코어 SoC 어플리케이션용 DVFS 아키텍처이다.

벽 컨버터는 silicon integrated 인덕터를 통해서 패키지에 집적하였고, 309 mW/mm²의 전력 밀도를 달성하였다. 아키텍처는 [그림 5]와 같은 실제 SoC 어플리케이션에서 측정되었고, DVFS를 사용하지 않은 기본값 대비 최대 23%의 전력을 절감하였으며, 논문에서는 이러한 결과를 통해서 제안된 아키텍처가 기존 방식들 대비 가장 높은 효율의 전력 공급 아키텍처임을 밝혔다.

저자정보



명예기자 김현진

- 소 속 : 고려대학교 반도체시스템공학과 박사과정
- 연구분야 : PMIC & ADC & Ising Machines
- 이 메 일 : jamespul@korea.ac.kr
- 홈페이지 : <https://kilby.korea.ac.kr>

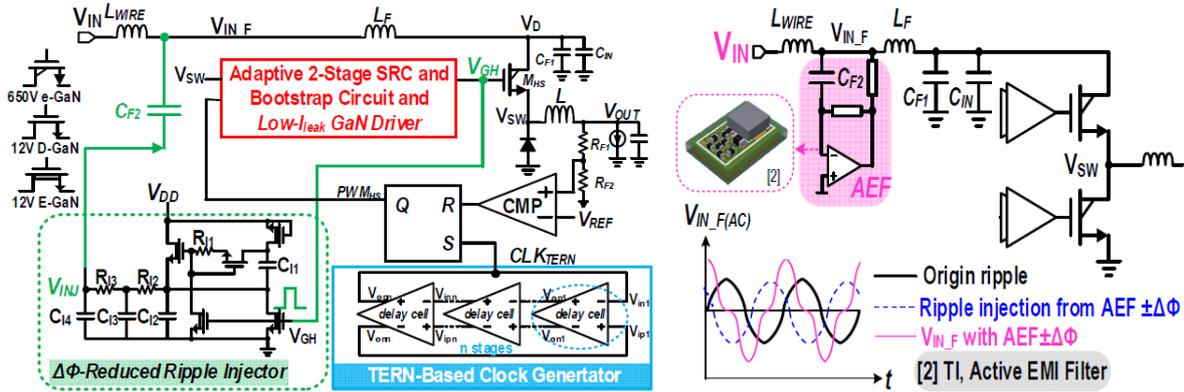
2024 IEEE VLSI Review

KAIST 전기 및 전자공학부 박사과정 박수언

Session 2 Power at High Voltage and Current

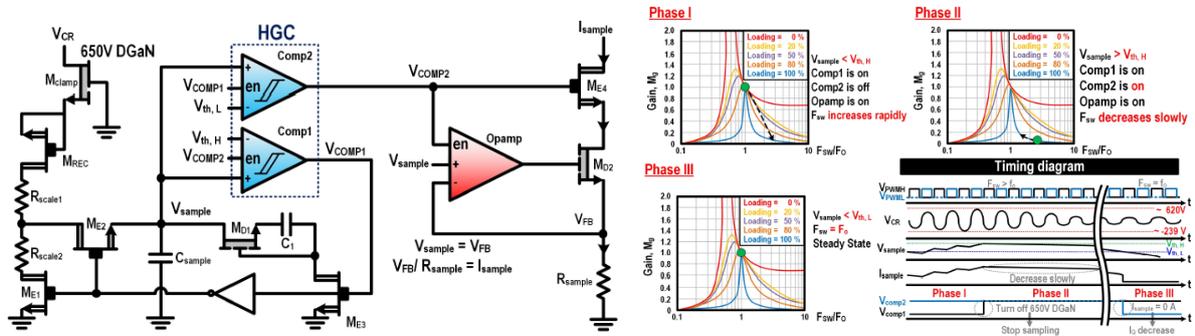
2024 VLSI **Session 2 “Power at High Voltage and Current”**에서는 1) 차량용 CISPR25 규격을 만족시키는 GaN-Buck의 낮은 EMI 달성 기법과 작은 누설 전류를 갖는 Gate driver, 2) 스타트업 초기 공진에 의한 over-voltage를 감소시킨 소프트-스타트업 LLC 컨버터, 3) 고속 하프 브리지 스위치의 LV-Cap Stack 방식의 차지 펌프 Gate driver, 4) 인풋 common 전압 transient에 immune한 전류 센서의 전압과 온도 변화에 따른 저항 값 변화 calibration, 5) trans-inductor를 활용한 High-Step down 컨버터의 고속 transient response가 발표되었다. 본 리뷰는 각 논문의 innovation을 소개한다.

#2-1 차량용 PMIC는 주변 전자기기로의 전자기 신호 간섭을 방지하기 위한 CISPR EMI 규격이 존재한다. 스위칭 레귤레이터 특성상 필연적으로 발생하는 스위칭 노드와 입력에서 발생하는 EMI를 제거하기 위해서 C2-1 논문은 입력 노드의 EMI 감소 방법으로 입력 신호와 동기화된 High-Side GaN의 Gate 신호를 입력으로 받아 입력 신호와 상쇄할 반전된 신호의 위상 차이 $\Delta\phi$ 를 감소시켰다고 주장한다. 스위칭 노드 전압의 EMI는 eGaN의 gate instability 특성을 활용한 TERN (Trapping-Effect Random Number) 클락 생성기로 spread-spectrum을 구현하여 감소시켰다. HS 스위치의 턴-오프 시 발생하는 Drain 전압의 spike는 EMI를 증가시키는 또다른 원인이며, 이를 감소시키기 위해 Adaptive 2-Stage Slew Rate Control 기법이 제안되었고, High Side switch의 gate node의 방전 slew를 조절, EMI를 감소시켰다. 또한 E-GaN을 이용하여 bootstrapping 시 V_{GS} 전압의 감소 없이 낮은 leakage를 갖는 Cross-coupled 구조의 gate driver를 제안하여 효율을 개선하였다. 그 결과 6mW의 전력 소모로 Peak EMI 21.51dBuV, 피크 효율 94.5%, 최대 240W출력을 달성하였다.



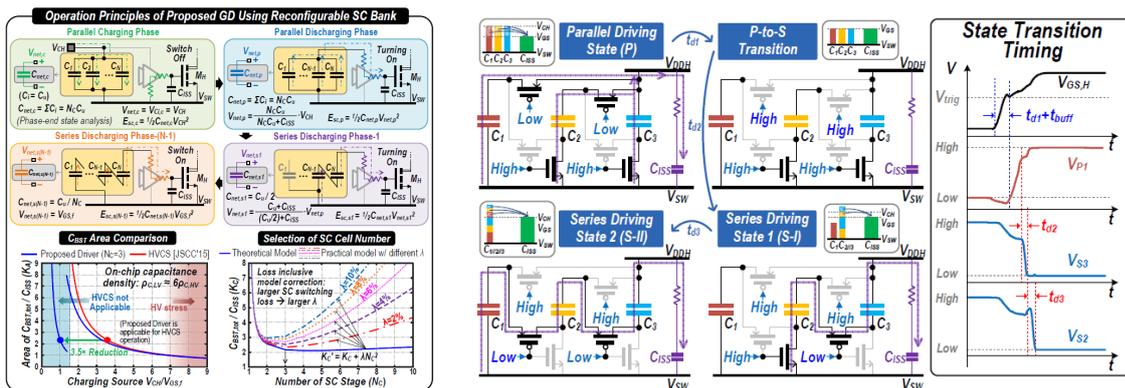
[그림 1] Overall Block Diagram (좌, V_{IN} -Ripple Injector, TERN-Based CLK, 2-Stage SRC)과 총래의 Active Filter 기반 입력 노드 EMI 제거 기법

#2-2 LLC 컨버터는 ZVS와 ZCS가 가능한 특성을 활용해, Front-end에 주로 사용하며 고효율 전력 전달을 가능하게 한다. 본 논문은 LLC 컨버터 startup 시 1차측 transformer의 LC 공진으로 인해 Resonant capacitor에 걸리는 과도한 voltage-stress를 방지하기 위해 아래 [그림 1]의 soft-startup clamping 회로를 제안하였다. 제안하는 기법은 샘플링한 Resonant Capacitor (C_R) 전압이 High-threshold ($V_{TH,H}$) 보다 높은 경우 스위칭 주파수를 천천히 감소시키고 (Phase I), $V_{TH,H}$ 보다 낮은 경우 스위칭 주파수를 급격히 증가, Low-threshold ($V_{TH,L}$) 보다 낮은 경우 스위칭 주파수를 공진 주파수로 동작시켜 C_R 전압의 over-voltage를 방지한다. 그 결과 제안하는 soft-start clamping technique을 적용하지 않은 경우와 비교하여 start-up 시 걸린 2.51kV, -2.15kV의 큰 V_{CR} 전압이 620V와 -239V로 대폭 감소하는 효과를 얻었다. 효율 면으로는 Energy Star와 80 Plus - Titanium 등급의 고효율 컨버터 인증을 받기 위해서 I_Q (Quiescent Current)를 줄이기 위한 Low- I_Q 달성 및 bootstrap cap precharging, High Gate Driving Strength를 갖는 Fast Inverter를 제안하였다. 강한 gate driving strength를 갖는 Fast Inverter에 의해 설계한 LLC 컨버터는 대기 상태에서 즉각적으로 정상상태에 돌입할 수 있으며, 대기 상태에서의 누설 전류를 수 mA에서 60.4uA로 감소시켰다.



[그림 2] Resonance Capacitor C_R - Soft Startup Clamping 회로와 Phase 별 주파수 조절 방식

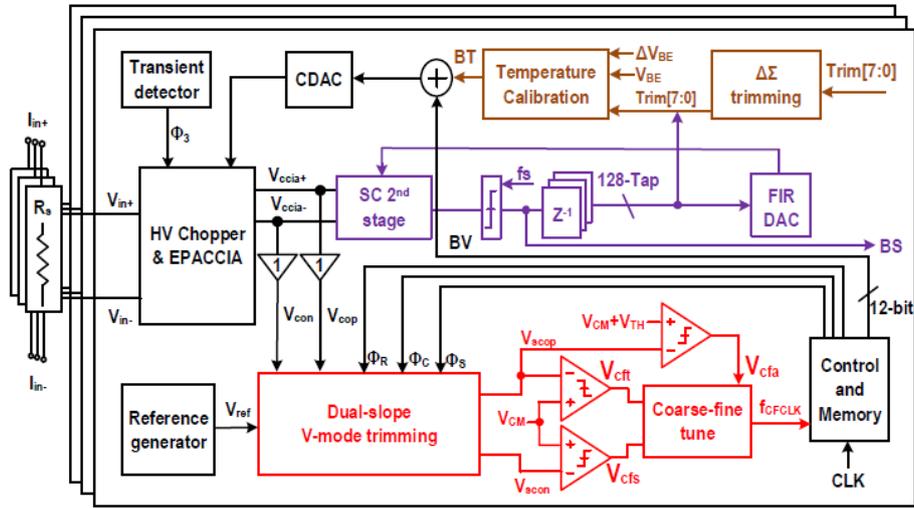
#2-3 Half-Bridge(HB) 컨버터의 High-Side 스위치를 구동하기 위한 bootstrap 방법으로, off-chip bootstrap cap을 사용하는 방법은 gate-loop에 발생하는 기생 인덕턴스에 의해 구동 속도 저하, 불안정성, EMI 증가 및 수율 감소의 문제를 가져온다. 이에 대한 방안으로 bootstrap cap을 내장하는 방법이 있으며, 차지 펌프 방식의 gate 구동은 높은 gate-cap 충전 속도로 GaN 소자와 함께 고속 스위칭을 가능하게 하는 장점이 있다. 그러나, 한 번의 커패시터 hard-charging으로 gate capacitance (C_{ISS})를 충전하기 위해서는 높은 전압이 필요하며, 높은 내압 소자 사용은 큰 driving loss를 갖는 문제가 있다. C2-3 논문은 큰 내압 소자 기반의 차지 펌프 Gate driver를 낮은 내압의 소자를 Stacking하여 사용한 high density 차지 펌프 Gate driving 방식을 제안한다. 기존의 차지 펌프 Gate driver는 switched capacitor의 output impedance에 의해 이상적인 전압까지 출력 전압을 레귤레이션할 수 없는 문제가 있지만, 제안하는 LV-Stacking 방식의 차지 펌프 Gate driver를 사용할 경우 LV-Cap-stack을 더 쌓아 V_{GS} 전압을 이상적인 Full turn-on 전압까지 올릴 수 있는 장점이 있다. 제안하는 bootstrap 방식의 GD는 $7.7nC/mm^2$ 의 밀도를 가지며, 이를 적용한 하프 브리지 컨버터는 6MHz의 스위칭 주파수로 동작한다.



[그림 3] 제안하는 LV-Cap Stacking 방식의 multi-step 차지 펌프 Gate Driver 원리 및 동작

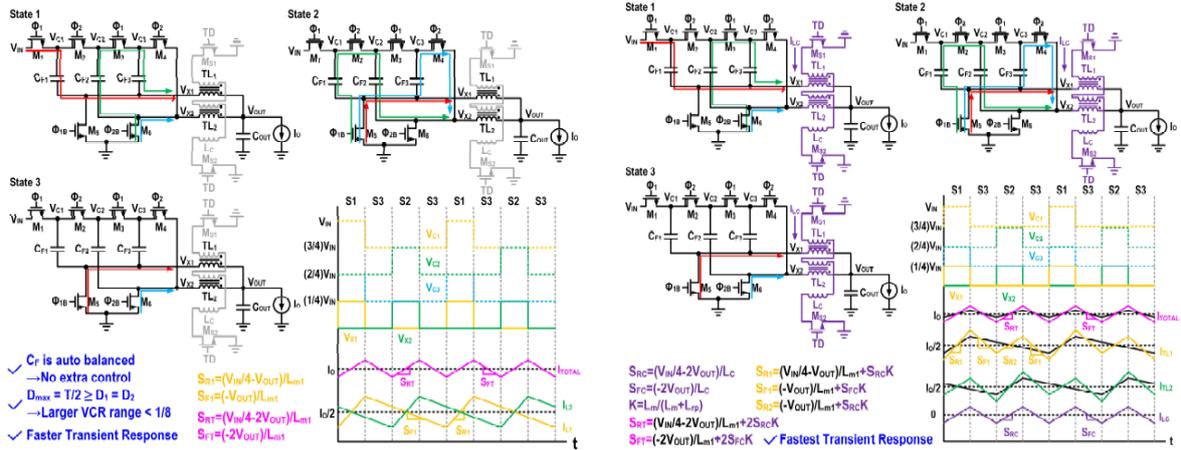
#2-4 전류-Path에 series 저항을 연결한 Current sensor는 active 소자를 사용한 센싱 방법 대비 정밀한 값을 얻을 수 있는 장점이 있다. 그러나, 저항 자체의 전압에 따른 저항 값 변화, 온도 변화에 따른 저항 값 변화는 정확한 전류 센싱에 오차를 발생시키는 주 원인이다. 또한, 스위칭 레귤레이터의 스위칭 노드와 연결된 저항은 양단 전압을 센싱할 때 스위칭 시 입력 common 전압의 변동으로 offset 제거용 HV chopper 스위치의 입력 common 전압에 대한 빠른 Tracking이 가능해야한다. C2-4 논문은 입력 common 전압의 빠른 변화를 Tracking하는 High-Voltage chopper를 제안하며, 전압과 온도에 따른 저항 값 변화를 각각 dual-slope ADC 기반의 12-bit 메모리를 갖는 trimming과 1-bit 2차 델타 시그마 모듈레이터와 128-TAP FIR DAC 피드백으로 calibration하는 CCIA를 제안하였다. 그 결과 종래의 sensor와 비교했을 때 가장 낮은 '0.1mΩ'의 낮은 저항으로 ±100A의

load range와 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 의 온도 범위에서 $\pm 0.15\%$ 의 변화를 가지며 80V의 인풋 common 전압 변화를 $1.9\mu\text{s}$ 에 tracking하는 CCIA를 발표하였다.



[그림 4] 제안하는 CCIA 전류 센서의 전압(빨강), 온도(보라, 갈색) 변화에 따른 센싱 저항 값 보정 Technique

#2-5 데이터센터의 연산량 증가에 따라 고부하 CPU와 GPU를 driving하기 위한 High-step down 컨버터의 중요성이 증가하고 있다. High-step down 컨버터는 입력 전류를 낮추어 낮은 전력 손실을 달성하는 장점이 있지만 낮은 VCR로 인한 매우 짧은 Duty와 큰 내압 소자를 사용한 효율 감소의 문제를 갖는다. C2-5 논문은 기존의 1/16의 VCR까지 지원할 수 있는 (Quadrature Step Down Converter) QSD 컨버터와 비교했을 때 1/8의 VCR까지 출력 전압을 레귤레이션할 수 있는 3개의 Flying Capacitor, 4개의 $V_{IN}/2$ 내압, 2개의 $V_{IN}/4$ 내압 소자, 그리고 trans-inductor로 구성된 High-Step Down 하이브리드 컨버터를 제안한다. 본 논문의 Trans-Inductor는 transient response detection 시 활성화 되어 인덕터로 출력에 전류를 공급할 때 인덕터 전류의 build-up, freewheeling slope을 더 가파르게 만들어 빠른 부하 응답을 가능하게 한다. 제안하는 컨버터는 Transient Detection 이 없는(TD=0) 작은 load transient 및 정상상태의 경우 trans-inductor의 coupling된 inductor는 물리적으로 open 상태가 되어 regulation에 개입하지 않고, transient detection이 된 경우 (TD=1) 아래 [그림 3]의 오른쪽 아래와 같이 coupling된 inductor가 함께 출력 전류를 공급하며 effective inductance를 감소, 출력 전압의 under/overshoot을 감소시킨다. 그 결과 90A step의 부하 변동에 180mV, 102mV의 under/overshoot을 48mV, 20mV의 under/overshoot으로 감소시키는 효과를 달성하였다.

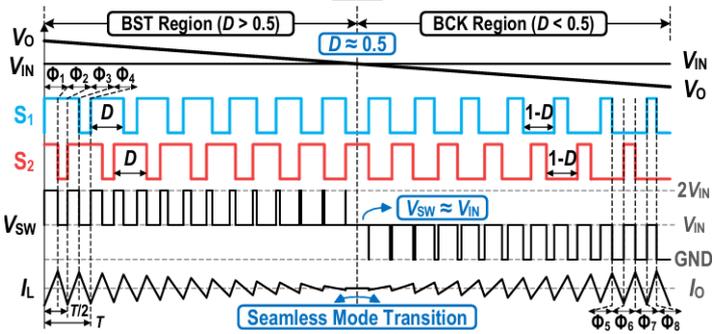
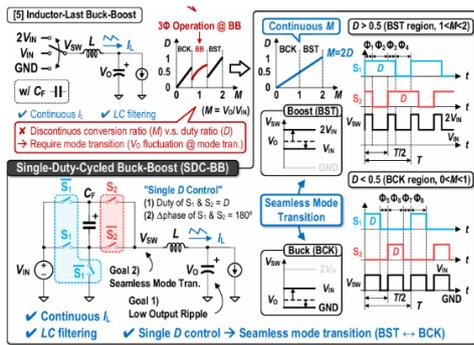


[그림 5] 제안하는 컨버터의 Steady state 동작과 Transient 상황의 트랜스-인덕터 제어 기법

Session 21 Power Converters

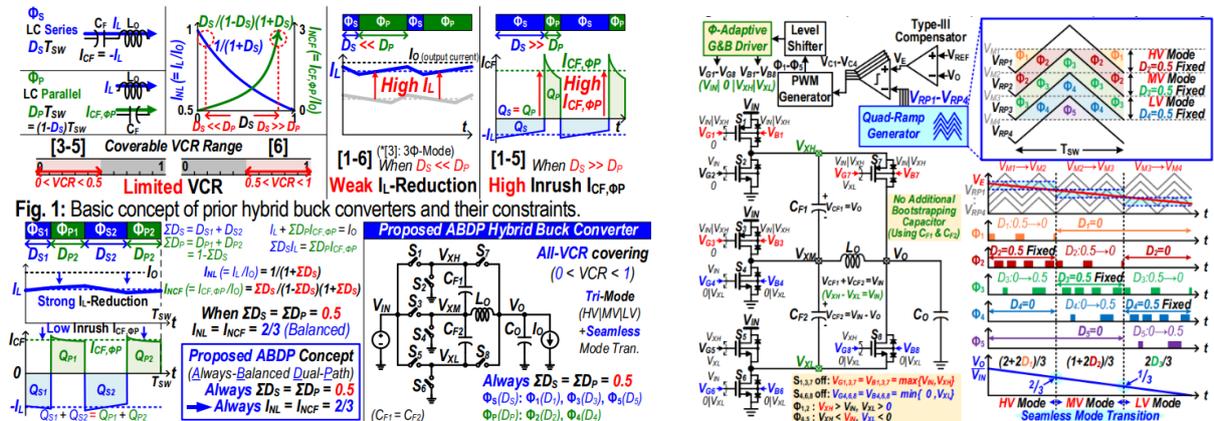
2024 VLSI Session 21의 “Power Converters”에서는 모바일 OLED 디스플레이용 Low-Ripple Buck-boost Converter, DVS용 All-VCR Dual-Path Buck Converter, Substrate Conduction loss를 감소시킨 고 입력전압 IVR chiplet, High Step Down Converter의 짧은 on-time을 개선한 Hybrid Topology 논문이 발표되었다.

#21-1 모바일 OLED 디스플레이의 ELVDD 전원은 디스플레이 Pixel LED의 전류(밝기)를 결정하는 주 전압원이며, 디스플레이의 플리커 현상을 줄이기 위해 ELVDD PMIC 설계 시 낮은 출력 전압 리플을 요구한다. 저휘도에서 고휘도까지 지원하는 디스플레이는 종래의 Boost 컨버터가 아닌 Buck과 Boost 영역을 모두 커버하는 Buck-Boost PMIC를 요구하게 되었고, ELVDD PMIC로서 종래의 백-부스트 컨버터와 Dual-Path Buck-Boost Converter는 출력 전압으로의 불연속적 전류와 capacitor의 Inrush 전류 전달로 인해 큰 전압 리플을 발생시켜 디스플레이의 플리커 현상을 심화시킨다. C21-1 논문은 아래 그림 1과 같이 항상 연속적이며 Inductive 전류만을 전달하는 “Inductor Last” 구조와 3-Level Converter와 같은 Single-Duty Cycle로 Buck에서 Boost 영역까지 컨버터를 제어한다. VCR=2D의 컨버터를 0~D, D~2D의 구간으로 나누어 스위칭 노드 전압 스윙을 V_{IN} 으로 감소시켜 낮은 출력 전압 리플을 갖는다. Voltage mode 기반의 동작으로 DVS 시 seamless transition이 가능하며 $V_{IN}=3.5\sim 4.5V$, $V_O=4V$ 의 transient 상황에서 2.1mV 이하의 출력 전압 리플을 달성하였다.



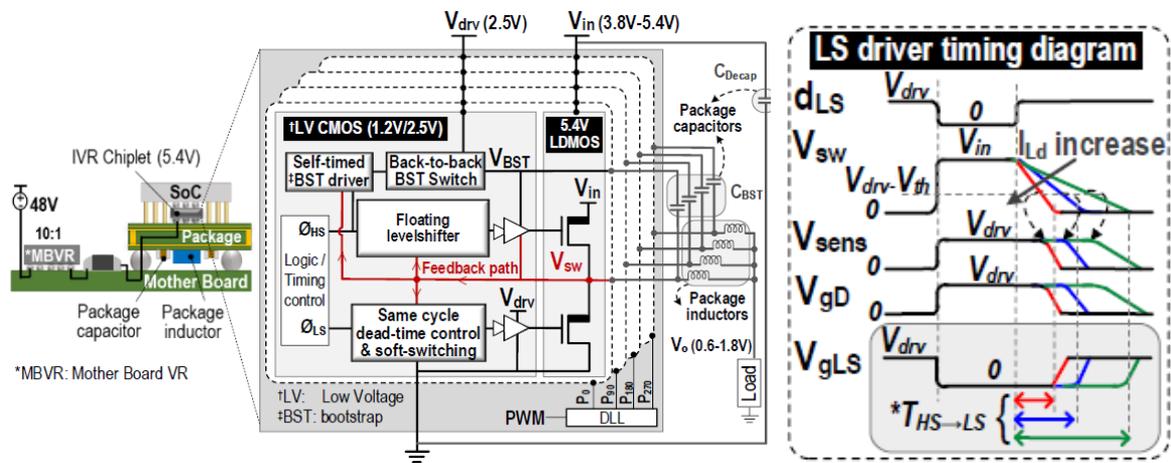
[그림 1] 낮은 출력 전압 리플을 달성한 Inductor-Last Buck-Boost의 Single-Duty Cycle Control

#21-2 인덕터에 기생하는 직렬 저항은 스위칭 레귤레이터로 큰 부하 전류를 공급할 때 효율을 감소시키는 주 원인이다. 최신 소형화 트렌드에 맞는 작은 부피의 인덕터는 기생 직렬 저항이 매우 크기 때문에 부하 공급량이 커짐에 따라 큰 전력 손실을 발생시킨다. 기존의 하이브리드 컨버터는 L-C의 직/병렬 연결 시간을 조절하여 인덕터 전류의 DC 값을 감소, 효율을 개선한다. 그러나, 해당 방법은 필연적으로 L-C의 직렬 혹은 병렬 연결 시간이 줄어들면 인덕터 전류의 DC 값 감소 효과가 줄어들거나, Capacitive한 Inrush 전류로 인한 극심한 효율 감소가 나타나는 특징이 있다. C21-2 논문은 L-C의 직/병렬 연결 시간의 합을 모든 VCR에서 주기의 절반 시간으로 동일하게 제어하여, VCR (i.e., Duty)에 관계없이 항상 인덕터 전류와 Capacitive 전류의 DC 값을 부하 전류의 2/3만큼 감소시킨다. 그 결과 작은 사이즈의 인덕터를 사용하면서, 모든 VCR에서 큰 부하를 공급할 시 발생하는 Conduction loss를 감소시킨다. 해당 제어는 4개의 Level로 구분된 Quad-Ramp Generator로 LV(0~1/3), MV(1/3~2/3), HV(2/3~1) VCR 영역의 사용을 Seamless하게 구현하였으며, 설계한 PMIC는 칩과 수동 소자를 포함하여 2.7mm³의 부피로 최대 2.5A의 부하를 공급, 94.2%의 피크 효율을 갖는다.



[그림 2] VCR에 무관한 인덕터 DC 전류, 커패시터 전류 Reduction 및 Quad-Ramp 기반 구현

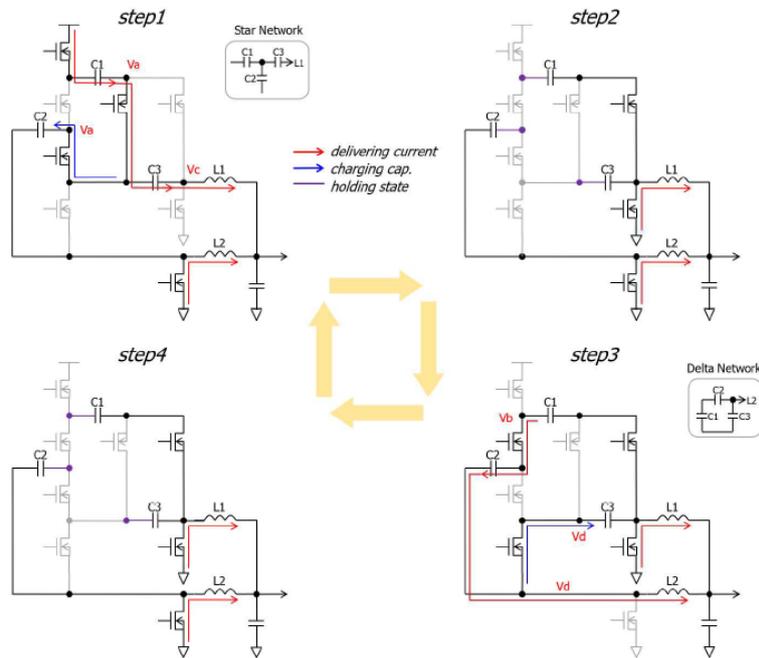
#21-3 고성능 서버 컴퓨팅 및 GPU는 연산 시 매우 큰 전류를 필요로 하며, 빠른 출력 전압의 recovery를 위해 낮은 출력 임피던스를 갖는 Multiphase Buck 컨버터를 사용한다. 그러나 Power-Supply Chain(PSC)의 끝단에 위치한 SoC는 낮은 입력 전압으로 (예, 1.8V) 전력을 공급할 시 PSC의 앞단으로 갈수록 증가하는 고전류에 의한 전력 손실이 두드러지며, 이 때 증가한 인풋 파워는 높은 전류를 더 증가시킨다. 특히 Voltage Regulator(VR) 연결부에서의 기생 저항에 의한 효율 감소와 VR의 직렬 연결 시 발생하는 구조적 효율 감소는 전력 누수의 주 원인이다. C21-3 논문은 종래의 1.8V 대비 3배 증가한 5.4V 입력 전압에서 0.6~1.8V를 출력 전압을 레귤레이션하는 3차원 집적(3D) Multiphase Buck 컨버터를 제안, Planar한 VR 연결부를 Z축-3차원 전력 공급 방식으로 변경하여 연결부에서의 전력 손실을 감소시켰다. 또한, 패키지 인덕터와 커패시터를 사용하는 10MHz의 높은 주파수의 IVR을 NMOS로 구현할 때 필요한 Bootstrapping의 Deadtime을 확보하는 회로를 설계하여 안정적인 동작을 보장하였다. 스위칭 노드 전압의 변화를 관찰한 Deadtime 설정으로 LS 스위치의 부하-적응형 Deadtime이 가능하다. 그 결과 10MHz의 고속 스위칭을 달성하며 LS 스위치의 ZVS로 고주파수로 동작 시 발생하는 스위칭 손실을 개선하였다. 발표한 PMIC는 9.3A/mm²의 전류 밀도를 가지며 최대 80A의 부하를 공급하며 94.5%의 피크 효율을 갖는다.



[그림 3] 제안하는 3D 집적 Multiphase Buck Converter와 Load Adaptive Deadtime 제어

#21-4 Power-supply chain의 주 효율 감소 원인 중 하나는 VR의 직렬 연결에 의한 Cascade efficiency drop이다. 48V Bus로부터 곧바로 SoC 전원을 공급하는 High-Step down 컨버터는 VR의 직렬 연결에 의한 효율 감소를 Single-stage로 구현하여 효율을 증가시키는 장점이 있다. 그러나, Buck (=Step-down) 컨버터의 높은 입력전압에 의해 낮은 Duty는 SoC의 V_{DD} 마진과 함께 높아진 스위칭 주파수에 의해 물리적으로 짧은 on-time을 가지며 부하 전류의 과도 응답, DVS 제어 시 출력 전압의 큰 under-overshoot을 발생시킬 수 있다. C21-4 논문은 48V to 0.6~2V 전원 공급을 하는 Hybrid 컨버터를 제안하며, 종래의 Buck 컨버터 대비 5x, 8x Duty expansion을 가능하게 하는 Start-Delta 스위

칭 토폴로지를 제안하였다. 또한, 저면적 게이트 드라이빙용 플로팅 전원, 라인-레귤레이션 성능 개선, 디지털 Circuit의 비선형성 개선 아이디어를 소개하였으며, 2A/2us의 부하 응답 시 최소 45mV의 under/overshoot을 달성하였다.



[그림 4] 제안하는 5x Duty extended 48V to 1V 컨버터의 Star-Delta 스위칭 동작

저자정보



명예기자 박수연

- 소속 : KAIST 전기 및 전자공학부 박사과정
- 연구분야 : Power Management IC 설계
- 이메일 : tndjs12221@kaist.ac.kr
- 홈페이지 : <https://www.icdesignlab.net>